

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-93853

(P2001-93853A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 21/268		H 0 1 L 21/268	F 5 F 1 1 0
21/26		21/263	F
21/263		21/324	X
21/324		21/26	F
29/786		29/78	6 1 7 U
審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く			

(21)出願番号 特願平11-265426

(22)出願日 平成11年9月20日(1999.9.20)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 綾 洋一郎

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 100082500

弁理士 足立 勉 (外1名)

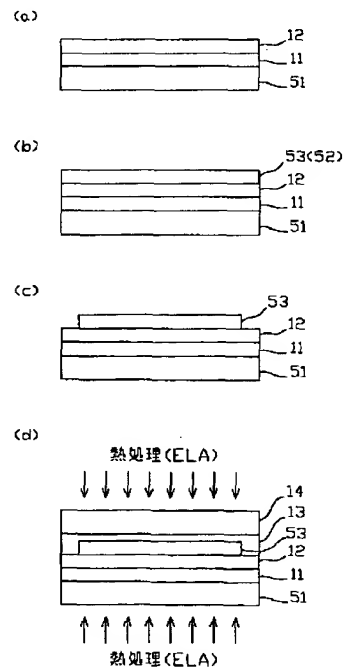
最終頁に続く

(54)【発明の名称】 半導体装置および半導体装置の製造方法

(57)【要約】

【課題】移動度が高く低コストな多結晶シリコン膜およびその製造方法を提供する。

【解決手段】P E C V D法を用いて絶縁基板5 1上にシリコン窒化膜1 1とシリコン酸化膜1 2とを堆積させ、シリコン酸化膜1 2上に非晶質シリコン膜5 2を堆積させ、熔融再結晶化法により非晶質シリコン膜5 2を多結晶化して多結晶シリコン膜5 3を形成した後にパターンニングし、P E C V D法を用いて多結晶シリコン膜5 3上にシリコン酸化膜1 3とシリコン窒化膜1 4とを堆積させる。そして、熱処理を行って各膜1 1～1 4を加熱することにより、各膜1 1～1 4中に含まれる水素を遊離させ、その遊離した水素を多結晶シリコン膜5 3中に拡散させることで、多結晶シリコン膜5 3の結晶粒界および結晶欠陥を不活性化し、多結晶シリコン膜5 3の移動度を高める。その熱処理方法には、レーザアニール法、電子ビームアニール法、R T A法などを用いる。



【特許請求の範囲】

【請求項 1】 多結晶半導体薄膜の両面または少なくともいずれかの片面に、水素を含む水素含有膜が成膜され、その水素含有膜中の水素が遊離されて多結晶半導体薄膜中に拡散されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記多結晶半導体薄膜は、薄膜トランジスタの能動層として絶縁基板上に形成され、前記多結晶半導体薄膜における前記絶縁基板とは反対側にゲート電極が形成されてトップゲート型の薄膜トランジスタが構成されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置において、前記多結晶半導体薄膜は、薄膜トランジスタの能動層として絶縁基板上に形成され、前記多結晶半導体薄膜と前記絶縁基板との間にゲート電極が形成されてボトムゲート型の薄膜トランジスタが構成されていることを特徴とする半導体装置。

【請求項 4】 請求項 2 または請求項 3 に記載の半導体装置において、前記多結晶半導体薄膜とゲート電極との間に形成されたゲート絶縁膜は、前記水素含有膜によって形成されていることを特徴とする半導体装置。

【請求項 5】 請求項 3 に記載の半導体装置において、前記多結晶半導体薄膜を覆う層間絶縁膜は、前記水素含有膜によって形成されていることを特徴とする半導体装置。

【請求項 6】 請求項 1～5 のいずれか 1 項に記載の半導体装置において、前記水素含有膜は、プラズマエンハンスド化学気相成長法を用いて形成されたシリコン酸化膜とシリコン窒化膜の積層膜から成り、当該シリコン酸化膜が前記多結晶半導体薄膜と接して成膜されていることを特徴とする半導体装置。

【請求項 7】 多結晶半導体薄膜の両面または少なくともいずれかの片面に、水素を含む水素含有膜を成膜する工程と、熱処理を行うことにより、前記水素含有膜中の水素を遊離させて前記多結晶半導体薄膜中に拡散させる工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置および半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 薄膜トランジスタ (TFT: Thin Film Transistor) は、絶縁基板 (石英ガラスなど) 上に能動層 (活性層) となる半導体薄膜 (多結晶シリコン膜、非晶質シリコン、単結晶シリコン膜) が形成され、当該半導体薄膜にソース・ドレイン領域およびチャネル領域が形成され、ゲート電極がゲート絶縁膜を介してチャネル

領域に対向配置されて MOS (Metal Oxide Semiconductor) トランジスタが構成された半導体装置である。

【0003】 特に、移動度の高い多結晶シリコン膜を能動層とする TFT (多結晶シリコン TFT) は、非晶質シリコン膜を能動層とする TFT (非晶質シリコン TFT) に比べて、動作速度が高速なため、SRAM の負荷素子や、アクティブマトリックス方式液晶表示装置 (LCD: Liquid Crystal Display) の画素駆動素子および LCD の駆動回路を構成するトランジスタなどとして幅広く利用されている。

【0004】 ところで、多結晶シリコン膜は単結晶の結晶粒が多数個集まって形成されており、それら各結晶粒の間には結晶粒界が形成されている。また、多結晶シリコン膜には結晶欠陥も含まれている。従って、多結晶シリコン膜を TFT の能動層として用いる場合、多結晶シリコン膜を通過しようとする電子は、結晶粒界や結晶欠陥により散乱され、能動層のチャネル領域内をスムーズに通過することができない。そのため、多結晶シリコン TFT は、単結晶シリコン膜を能動層として用いる TFT (単結晶シリコン TFT) ほどには、移動度を高くできないという問題があった。

【0005】 そこで、従来から、多結晶シリコン TFT に水素化処理 (水素プラズマ処理、水素アニール処理など) を施すことにより、チャネル領域の結晶粒界および結晶欠陥を不活性化して移動度を高め、TFT の動作速度の高速化を図っている。水素化処理を施す従来の多結晶シリコン TFT の製造方法について、図 8 および図 9 を用いて説明する。

【0006】 工程 1 (図 8 (a) (b) 参照): 低压化学気相成長法 (LPCVD: Low Pressure Chemical Vapor Deposition) 法またはプラズマエンハンスド化学気相成長法 (PECVD: Plasma Enhanced Chemical Vapor Deposition) 法を用い、絶縁基板 (例えば、石英ガラス、セラミックスなど) 51 上に非晶質シリコン膜 52 を堆積させる。次に、固相成長法または熔融再結晶化法を用い、非晶質シリコン膜 52 を多結晶化して多結晶シリコン膜 53 にする。

【0007】 工程 2 (図 8 (c) (d) 参照): フォトリソグラフィ技術を用い、多結晶シリコン膜 53 上にレジストパターン 54 を形成する。次に、エッチング技術を用い、レジストパターン 54 をエッチング用マスクとして多結晶シリコン膜 53 をエッチング除去することにより、多結晶シリコン膜 53 の島 (アイランド) からなる能動層を形成する。

【0008】 工程 3 (図 9 (a) 参照): LPCVD 法を用い、多結晶シリコン膜 53 および絶縁基板 51 の上にシリコン酸化膜からなるゲート絶縁膜 55 を堆積させる。次に、CVD (Chemical Vapor Deposition) 法または物理蒸着法 (PVD: Physical Vapor Deposition) 法を用い、ゲート絶縁膜 55 上に導電膜 (例えば、

多結晶シリコン、シリサイド、ポリサイド、高融点金属（チタン、タングステン、モリブデンなど）など）56を堆積させる。続いて、フォトリソグラフィ技術を用い、導電膜56上にレジストパターン57を形成する。

【0009】工程4（図9（b）参照）：エッチング技術を用い、レジストパターン57をエッチング用マスクとして導電膜56をエッチング除去することにより、導電膜56からなるゲート電極58を形成する。

工程5（図9（c）参照）：イオン注入装置または質量分離を行わないイオンシャワー装置を用い、ゲート電極58をイオン注入用マスクとして使用することにより、多結晶シリコン膜53の島からなる能動層に不純物イオンを注入する。次に、熱処理（600℃程度）を行って不純物を活性化させ、多結晶シリコン膜53にソース・ドレイン領域59を形成する。すると、ゲート電極58直下でソース・ドレイン領域59に挟まれた多結晶シリコン膜53にチャンネル領域60が形成される。その結果ゲート絶縁膜55、ゲート電極58、ソース・ドレイン領域59、チャンネル領域60から構成されたMOSトランジスタであるトップゲート型の多結晶シリコンTFT61が作成される。トップゲート型のTFT61では、能動層である多結晶シリコン膜53における絶縁基板51とは反対側にゲート電極58が形成されている。

【0010】工程6（図9（d）参照）：CVD法を用い、TFT61上に層間絶縁膜（例えば、シリコン酸化膜、シリコン窒化膜など）62を堆積させる。次に、フォトリソグラフィ技術およびエッチング技術を用い、層間絶縁膜62にコンタクトホール63を形成する。続いて、PVD法を用いてコンタクトホール63内を含むデバイス全面に導電膜（例えば、多結晶シリコン、シリサイド、ポリサイド、高融点金属、各種金属（アルミニウム合金など）など）を堆積させ、フォトリソグラフィ技術およびエッチング技術を用いて当該導電膜を所望の形状にパターニングすることにより、当該導電膜からなるソース・ドレイン電極（配線）64を形成する。このソース・ドレイン電極64は、コンタクトホール63を介してソース・ドレイン領域59と接続されている。

【0011】その後、水素化処理を施すことにより、多結晶シリコン膜53におけるチャンネル領域60の結晶粒界および結晶欠陥を不活性化化する。尚、水素化処理には、高温（数千℃程度）の水素プラズマ中にTFT61を長時間（数時間から数十時間）曝す水素プラズマ処理や、水素雰囲気中にTFT61を曝して長時間（数時間から数十時間）の熱処理（400℃程度）を行う水素アニール処理などがある。

【0012】このように、水素化処理が施された多結晶シリコンTFT61は、チャンネル領域60の結晶粒界および結晶欠陥が不活性化されて移動度が高くなるため、動作速度を高速化することができる。

【0013】

【発明が解決しようとする課題】前記した水素化処理では、数百℃以上の温度に絶縁基板51を曝すため、特に、絶縁基板51として大型の石英ガラス基板を用いる場合、熱によって生じる絶縁基板51の「反り」や「うねり」を抑制するために、耐熱性の高い高価な石英ガラス基板や特殊な治具を用いる必要があった。また、水素化処理の工程分だけ製造TAT（Turn Around Time）が増大することに加え、水素を高温中で安全に保持するための種々の付帯設備を備える必要があった。そのため、多結晶シリコンTFTの製造コストが増大するという問題があった。

【0014】本発明は上記問題点を解決するためになされたものであって、その目的は、移動度が高く低コストな多結晶半導体薄膜を備えた半導体装置およびその製造方法を提供することにある。また、本発明の別の目的は、移動度が高く低コストな多結晶半導体薄膜を能動層として用いる動作速度が高速で低コストな薄膜トランジスタを備えた半導体装置を提供することにある。

【0015】

【課題を解決するための手段および発明の効果】かかる目的を達成するためになされた請求項1に記載の発明は、多結晶半導体薄膜の両面または少なくともいずれかの片面に、水素を含む水素含有膜が成膜され、その水素含有膜中の水素が遊離されて多結晶半導体薄膜中に拡散されている半導体装置をその要旨とする。

【0016】従って、本発明によれば、水素含有膜から遊離した水素が多結晶半導体薄膜に拡散されることにより、多結晶半導体薄膜中の結晶粒界および結晶欠陥が不活性化されるため、移動度の高い多結晶半導体薄膜を得ることができる。尚、水素含有膜から水素を遊離させるには、水素含有膜を加熱する熱処理を行えばよい。そして、従来の水素化処理における大規模な付帯設備に比べて、水素含有膜の成膜形成および熱処理に要する設備は小規模である。また、水素含有膜の成膜形成に要する時間と熱処理に要する時間とを合わせても、従来の水素化処理に比べれば、ごく短時間で済むことから、製造TATを短縮することができる。そのため、本発明によれば、従来の水素化処理に比べて、移動度の高い多結晶半導体薄膜を低コストに得ることができる。

【0017】次に、請求項2に記載の発明は、請求項1に記載の半導体装置において、前記多結晶半導体薄膜は、薄膜トランジスタの能動層として絶縁基板上に形成され、前記多結晶半導体薄膜における前記絶縁基板とは反対側にゲート電極が形成されてトップゲート型の薄膜トランジスタが構成されていることをその要旨とする。

【0018】次に、請求項3に記載の発明は、請求項1に記載の半導体装置において、前記多結晶半導体薄膜は、薄膜トランジスタの能動層として絶縁基板上に形成され、前記多結晶半導体薄膜と前記絶縁基板との間にゲート電極が形成されてボトムゲート型の薄膜トランジスタが構成されていることをその要旨とする。

タが構成されていることをその要旨とする。

【0019】従って、請求項2または請求項3に記載の発明によれば、請求項1に記載の発明による移動度が高く低コストな多結晶半導体薄膜を能動層として用いるため、動作速度の高速な薄膜トランジスタを得ることができる。そして、水素含有膜から水素を遊離させるための熱処理に、絶縁基板の温度を上昇させにくい熱処理方法（例えば、レーザアニール法、電子ビームアニール法、RTA（Rapidly Thermal Anneal）法など）を用いることにより、絶縁基板として大型の石英ガラス基板を用いる場合でも、耐熱性の高い高価な石英ガラス基板や特殊な治具を用いることなく、絶縁基板の「反り」や「うねり」の発生を防止することができる。そのため、動作速度の高速な薄膜トランジスタを低コストに得ることができる。

【0020】次に、請求項4に記載の発明は、請求項2または請求項3に記載の半導体装置において、前記多結晶半導体薄膜とゲート電極との間に形成されたゲート絶縁膜は、前記水素含有膜によって形成されていることをその要旨とする。従って、本発明によれば、水素含有膜から水素を遊離させるための熱処理により、多結晶半導体薄膜と水素含有膜から成るゲート絶縁膜との界面の状態を良好にすると共に、ゲート絶縁膜を焼き締める（Sintering）効果により、ゲート絶縁膜の絶縁耐電圧特性を高めることができる。また、水素含有膜をゲート絶縁膜に流用するため、水素含有膜の成膜形成工程を設けることにより薄膜トランジスタの製造工程が複雑化することはない。

【0021】次に、請求項5に記載の発明は、請求項3に記載の半導体装置において、前記多結晶半導体薄膜を覆う層間絶縁膜は、前記水素含有膜によって形成されていることをその要旨とする。従って、本発明によれば、水素含有膜から水素を遊離させるための熱処理により、多結晶半導体薄膜と水素含有膜から成る層間絶縁膜との界面の状態を良好にすると共に、層間絶縁膜を焼き締める効果により、層間絶縁膜の絶縁耐電圧特性を高めることができる。また、水素含有膜を層間絶縁膜に流用するため、水素含有膜の成膜形成工程を設けることにより薄膜トランジスタの製造工程が複雑化することはない。

【0022】次に、請求項6に記載の発明は、請求項1～5のいずれか1項に記載の半導体装置において、前記水素含有膜は、プラズマエンハンスト化学気相成長法を用いて形成されたシリコン酸化膜とシリコン窒化膜の積層膜から成り、当該シリコン酸化膜が前記多結晶半導体薄膜と接して成膜されていることをその要旨とする。

【0023】従って、本発明によれば、シリコン窒化膜と多結晶半導体薄膜との間にシリコン酸化膜を挟み込むことにより、シリコン窒化膜からの応力を緩和し、当該応力が多結晶半導体薄膜に印加されないようにして、多結晶半導体薄膜の移動度の低下を防止することができ

る。尚、シリコン酸化膜中の水素含有量はシリコン窒化膜に比べて低い、シリコン窒化膜から遊離した水素はシリコン酸化膜中を透過して多結晶半導体薄膜に拡散されるため、シリコン酸化膜を設けることで多結晶半導体薄膜への水素の拡散が阻害されることはない。

【0024】次に、請求項7に記載の発明は、多結晶半導体薄膜の両面または少なくともいずれかの片面に、水素を含む水素含有膜を成膜する工程と、熱処理を行うことにより、前記水素含有膜中の水素を遊離させて前記多結晶半導体薄膜中に拡散させる工程とを備えた半導体装置の製造方法をその要旨とする。

【0025】尚、以下に述べる発明の実施の形態において、特許請求の範囲または課題を解決するための手段に記載の「多結晶半導体薄膜」は多結晶シリコン膜53に相当し、同じく「水素含有膜」はPECVD法を用いて形成されたシリコン窒化膜11、14、シリコン酸化膜12、13に相当する。

【0026】

【発明の実施の形態】（第1実施形態）以下、本発明を具体化した第1実施形態の多結晶シリコン膜の製造方法を図面と共に説明する。尚、本第1実施形態において、図8および図9に示した従来の形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0027】工程1（図1（a）参照）：PECVD法を用い、絶縁基板51上にシリコン窒化膜11とシリコン酸化膜12とをこの順番で堆積させる。ここで、PECVD法を用いて成膜形成されたシリコン窒化膜には多量の水素（ $\times 10^{22} \text{cm}^{-3}$ 程度）が含有され、PECVD法を用いて成膜形成されたシリコン酸化膜にも多量の水素（ $\times 10^{21} \text{cm}^{-3}$ 程度）が含有されていることは周知である（参考文献：「薄膜ハンドブック」発行所：オーム社 発行年：昭和58年）。

【0028】工程2（図1（b）参照）：LPCVD法またはPECVD法を用い、シリコン酸化膜12上に非晶質シリコン膜52を堆積させる。次に、熔融再結晶化法を用い、非晶質シリコン膜52を多結晶化して多結晶シリコン膜53にする。ここで、熔融再結晶化法としては、非晶質シリコン膜52の下側のシリコン酸化膜12およびシリコン窒化膜11に含まれる水素を遊離させない方法を用いることが望ましく、例えば、各種レーザ（KrFエキシマレーザ、ArFエキシマレーザ、F₂エキシマレーザ、ルビーレーザ、YAGレーザ、炭酸ガスレーザなど）を照射するレーザアニール法、電子ビームアニール法、各種ランプ（超高圧水銀ランプ、ハロゲンランプ、キセノンショットアークランプ、タングステンランプ、赤外光ランプなど）の光を照射するRTA（Rapidly Thermal Anneal）法、ファーンズアニール法（抵抗加熱、高周波加熱、ランプ加熱炉など）などを用いればよい。ちなみに、エキシマレーザを用いるELA（Excimer Laser Anneal）法を用いれば、エキシマレー

ザは非晶質シリコン膜52に良く吸収されることから、シリコン酸化膜12およびシリコン窒化膜11にはエキシマレーザが照射されず、各膜11、12中に含まれる水素を遊離させることなく、非晶質シリコン膜52を多結晶化することができる。

【0029】工程3(図1(c)参照):フォトリソグラフィ技術を用い、多結晶シリコン膜53上にレジストパターンを形成する。次に、エッチング技術を用い、当該レジストパターンをエッチング用マスクとして多結晶シリコン膜53をエッチング除去することにより、多結晶シリコン膜53の島(アイランド)からなる能動層を形成する。

【0030】工程4(図1(d)参照):PECVD法を用い、多結晶シリコン膜53およびシリコン酸化膜12の上にシリコン酸化膜13とシリコン窒化膜14とをこの順番で堆積させる。その結果、絶縁基板51上に、シリコン窒化膜11、シリコン酸化膜12、多結晶シリコン膜53、シリコン酸化膜13、シリコン窒化膜14がこの順番で積層された積層膜が形成される。次に、熱処理を行って各膜11~14を加熱することにより、各膜11~14中に含まれる水素を遊離させ、その遊離した水素を多結晶シリコン膜53の両面から膜中に拡散させる。その結果、多結晶シリコン膜53の結晶粒界および結晶欠陥が不活性化され、多結晶シリコン膜53の移動度が高くなる。加えて、熱処理により、多結晶シリコン膜53と各シリコン酸化膜12、13との界面の状態を良好にすると共に、シリコン窒化膜11とシリコン酸化膜12ならびにシリコン酸化膜13とシリコン窒化膜14を焼き締める(Sintering)効果により、各膜11~14の絶縁膜としての性能(絶縁耐電圧特性)を高めることができる。

【0031】ここで、熱処理にはどのような方法(例えば、前記したレーザアニール法、電子ビームアニール法、RTA法、ファーンেসアニール法など)を用いてもよいが、絶縁基板51の両面からエキシマレーザを照射するELA法が特に有用である。また、RTA法を用いる場合は、ランプ光を集束させて照射すれば、各膜11~14の温度を効率的に上昇させることが可能になり、水素の遊離を促進させることができる。

【0032】図2は、ELA法により加熱する前後の各膜11~14の水素含有量の変化を示す特性図である。ELA法により加熱した後では、各膜11~14中に含まれる水素が遊離されるため、水素含有量が低下していることがわかる。

【0033】図3は、ELA法により加熱する前後の各膜11~14の絶縁耐電圧の変化を示す特性図であり、複数のサンプルの測定結果を縦軸に「頻度」として表したものである。ELA法により加熱した後では、多結晶シリコン膜53と各シリコン酸化膜12、13との界面の状態が良好になると共に、各膜11~14を焼き締

める効果により、絶縁耐電圧が高くなっていることがわかる。

【0034】図4は、ELA法により加熱する前後の多結晶シリコン膜53の移動度の変化を示す特性図であり、複数のサンプルの測定結果を縦軸に「頻度」として表したものである。ELA法により加熱した後では、各膜11~14中から遊離した水素が多結晶シリコン膜53中に拡散され、多結晶シリコン膜53の結晶粒界および結晶欠陥が不活性化されることにより、多結晶シリコン膜53の移動度が高くなっていることがわかる。

【0035】以上詳述したように、本第1実施形態によれば、移動度の高い多結晶シリコン膜53を得ることができる。そして、各膜11~14を加熱する熱処理に、絶縁基板51の温度を上昇させにくい熱処理方法(例えば、レーザアニール法、電子ビームアニール法、RTA法など)を用いることにより、絶縁基板51として大型の石英ガラス基板を用いる場合でも、耐熱性の高い高価な石英ガラス基板や特殊な治具を用いることなく、絶縁基板51の「反り」や「うねり」の発生を防止することができる。また、各膜11~14の成膜形成に要する時間と、各膜11~14を加熱する熱処理に要する時間とを合わせても、従来の水素化処理に比べれば、ごく短時間で済むことから、製造TATを短縮することができる。さらに、従来の水素化処理における大規模な付帯設備に比べて、各膜11~14の成膜形成および熱処理に要する設備は小規模である。

【0036】従って、本第1実施形態によれば、移動度の高い多結晶シリコン膜53を低コストに得ることができる。尚、本第1実施形態において、各シリコン酸化膜12、13を設けるのは、各シリコン窒化膜11、14から多結晶シリコン膜53に印加される応力を緩和するためである。すなわち、各シリコン酸化膜12、13を省いて、多結晶シリコン膜53と各シリコン窒化膜11、14とが直接に接するようにした場合には、各シリコン窒化膜11、14から多結晶シリコン膜53に大きな応力が印加され、多結晶シリコン膜53の移動度が低くなるおそれがある。そこで、各シリコン窒化膜11、14と多結晶シリコン膜53との間に各シリコン酸化膜12、13を挟み込むことにより、各シリコン窒化膜11、14からの応力が多結晶シリコン膜53に印加されないようにしている。

【0037】ここで、前記したように、各シリコン酸化膜12、13中の水素含有量は各シリコン窒化膜11、14に比べて低いが、各シリコン窒化膜11、14から遊離した水素は各シリコン酸化膜12、13中を透過して多結晶シリコン膜53に拡散されるため、各シリコン酸化膜12、13を設けることで多結晶シリコン膜53への水素の拡散が阻害されることはなく、本第1実施形態の効果が減少するおそれはない。

【0038】(第2実施形態)以下、本発明を具体化し

た第2実施形態のトップゲート型多結晶シリコンTFTの製造方法を図面と共に説明する。尚、本第2実施形態において、図8、図9に示した従来の形態および図1、図2に示した第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0039】第1実施形態の工程4（図1（d）参照）に続いて、本第2実施形態の工程1を行う。

工程1（図5（a）参照）：CVD法またはPVD法を用い、シリコン窒化膜14上に導電膜56を堆積させる。次に、フォトリソグラフィ技術を用い、導電膜56上にレジストパターン57を形成する。

【0040】工程2（図5（b）参照）：エッチング技術を用い、レジストパターン57をエッチング用マスクとして導電膜56をエッチング除去することにより、導電膜56からなるゲート電極58を形成する。ここで、ゲート電極58と多結晶シリコン膜53とに挟まれたシリコン酸化膜13およびシリコン窒化膜14により、ゲート絶縁膜55が形成される。次に、イオン注入装置または質量分離を行わないイオンシャワー装置を用い、ゲート電極58をイオン注入用マスクとして使用することにより、多結晶シリコン膜53の島からなる能動層に不純物イオンを注入する。次に、熱処理を行って不純物を活性化させ、多結晶シリコン膜53にソース・ドレイン領域59を形成する。すると、ゲート電極58直下でソース・ドレイン領域59に挟まれた多結晶シリコン膜53にチャンネル領域60が形成される。その結果、シリコン酸化膜13およびシリコン窒化膜14からなるゲート絶縁膜55、ゲート電極58、ソース・ドレイン領域59、チャンネル領域60から構成されたMOSトランジスタであるトップゲート型の多結晶シリコンTFT15が作成される。トップゲート型のTFT15では、能動層である多結晶シリコン膜53における絶縁基板51とは反対側にゲート電極58が形成されている。

【0041】工程3（図5（c）参照）：従来の形態の工程6（図9（d）参照）と同じである。このように作成された本第2実施形態のTFT15は、第1実施形態により、多結晶シリコン膜53の結晶粒界および結晶欠陥が不活性化されて移動度が高くなっているため、動作速度を高速化することができる。また、低コストな多結晶シリコン膜53および絶縁基板51を用いるため、TFT15も低コストになる。

【0042】また、多結晶シリコン膜53に水素を拡散させるのに用いたシリコン酸化膜13およびシリコン窒化膜14をゲート絶縁膜55に流用するため、各膜13、14の成膜形成工程を設けることによりTFT15の製造工程が複雑化することはない。

【0043】そして、各膜11～14から水素を遊離させるための熱処理により、多結晶シリコン膜53とゲート絶縁膜55（シリコン酸化膜13およびシリコン窒化膜14）との界面の状態を良好にすると共に、ゲート絶

縁膜55を焼き締める効果により、ゲート絶縁膜55の絶縁耐電圧特性を高めることができる。

【0044】ちなみに、動作速度の高速な多結晶シリコンTFT15は、SRAMの負荷素子や、アクティブマトリックス方式LCDの画素駆動素子および駆動回路を構成するトランジスタなどに使用することができる。ところで、LCDは、画素がマトリックスに配列された表示画素部と、その表示画素部を駆動する駆動回路部とを備えている。そして、LCDの表示特性を向上させるために、駆動回路部を構成するトランジスタには、表示画素部を構成する画素駆動素子のトランジスタに比べて動作に高速性が要求される。また、表示画素部の画素駆動素子と駆動回路部を構成するトランジスタの両方に多結晶シリコンTFTを用い、表示画素部と駆動回路部とを同一の絶縁基板上に形成した駆動回路一体型のアクティブマトリックス方式LCDが開発されている。

【0045】従って、本第2実施形態のTFT15を駆動回路一体型のアクティブマトリックス方式LCDに採用すれば、大型の絶縁基板51を用いた高品位なLCDを低コストに実現することができる。

（第3実施形態）以下、本発明を具体化した第3実施形態のボトムゲート型多結晶シリコンTFTの製造方法を図面と共に説明する。尚、本第3実施形態において、図1、図2に示した第1実施形態および図5に示した第2実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0046】工程1（図6（a）参照）：CVD法またはPVD法を用い、絶縁基板51上に導電膜56を堆積させる。次に、フォトリソグラフィ技術を用い、導電膜56上にレジストパターン57を形成する。

工程2（図6（b）参照）：エッチング技術を用い、レジストパターン57をエッチング用マスクとして導電膜56をエッチング除去することにより、導電膜56からなるゲート電極58を形成する。

【0047】工程3（図6（c）参照）：PECVD法を用い、ゲート電極58および絶縁基板51上にシリコン窒化膜11とシリコン酸化膜12とをこの順番で堆積させる。

工程4（図6（d）参照）：LPCVD法またはPECVD法を用い、シリコン酸化膜12上に非晶質シリコン膜52を堆積させる。次に、熔融再結晶化法を用い、非晶質シリコン膜52を多結晶化して多結晶シリコン膜53にする。

【0048】工程5（図6（e）参照）：多結晶シリコン膜53をパターンングすることにより、多結晶シリコン膜53の島（アイランド）からなる能動層を形成する。ここで、ゲート電極58と多結晶シリコン膜53とに挟まれたシリコン窒化膜11およびシリコン酸化膜12により、ゲート絶縁膜21が形成される。

【0049】工程6（図7（a）参照）：PECVD法

を用い、多結晶シリコン膜53およびシリコン酸化膜12の上にシリコン酸化膜13とシリコン窒化膜14とをこの順番で堆積させる。ここで、シリコン酸化膜13およびシリコン窒化膜14により、層間絶縁膜62が形成される。次に、熱処理を行って各膜11~14を加熱することにより、各膜11~14中に含まれる水素を遊離させ、その遊離した水素を多結晶シリコン膜53の両面から膜中に拡散させる。その結果、第1実施形態と同様の作用・効果を得ることができる。

【0050】工程7(図7(b)参照):フォトリソグラフィ技術を用い、ゲート絶縁膜58直上のシリコン窒化膜14上にレジストパターン22を形成する。次に、イオン注入装置または質量分離を行わないイオンシャワー装置を用い、レジストパターン22をイオン注入用マスクとして使用することにより、多結晶シリコン膜53の島からなる能動層に不純物イオンを注入する。次に、熱処理を行って不純物を活性化させ、多結晶シリコン膜53にソース・ドレイン領域59を形成する。すると、ゲート電極58直上でソース・ドレイン領域59に挟まれた多結晶シリコン膜53にチャネル領域60が形成される。その結果、ゲート電極58、シリコン窒化膜11およびシリコン酸化膜12からなるゲート絶縁膜21、ソース・ドレイン領域59、チャネル領域60から構成されたMOSトランジスタであるボトムゲート型の多結晶シリコンTFT23が作成される。ボトムゲート型のTFT23では、能動層である多結晶シリコン膜53と絶縁基板51との間にゲート電極58が形成されている。

【0051】工程8(図7(c)参照):従来の形態の工程6(図9(d)参照)と同じである。このように作成された本第3実施形態のTFT23によれば、第2実施形態と同様の作用・効果を得ることができる。

【0052】また、多結晶シリコン膜53に水素を拡散させるのに用いたシリコン窒化膜11およびシリコン酸化膜12をゲート絶縁膜21に流用するため、各膜11、12の成膜形成工程を設けることによりTFT23の製造工程が複雑化することはない。そして、多結晶シリコン膜53に水素を拡散させるのに用いたシリコン酸化膜13およびシリコン窒化膜14を層間絶縁膜62に流用するため、各膜13、14の成膜形成工程を設けることによりTFT23の製造工程が複雑化することはない。

【0053】さらに、各膜11~14から水素を遊離させるための熱処理により、多結晶シリコン膜53と層間絶縁膜62(シリコン酸化膜13およびシリコン窒化膜14)との界面の状態を良好にすると共に、層間絶縁膜62を焼き締める効果により、層間絶縁膜62の絶縁耐電圧特性を高めることができる。

【0054】ところで、各膜11~14の熱処理にレーザーアニール法またはRTA法を用いる場合には、ゲート

電極58となる導電膜57の形成材料に、レーザー光またはランプ光を吸収するもの(例えば、クロム合金など)を使用することにより、各膜11~14の熱処理時にゲート電極58が発熱し、その熱により各膜11~14からの水素の遊離が促進されるため、多結晶シリコン膜53への水素の拡散を効率良く行うことができる。

【0055】尚、本発明は上記各実施形態に限定されるものではなく、以下のように具体化してもよい。

(1) 各シリコン窒化膜11、14を省き、各シリコン酸化膜12、13のみを設ける。

【0056】(2) 各シリコン酸化膜12、13を省き、各シリコン窒化膜11、14のみを設ける。

(3) 多結晶シリコン膜53の片面にのみ、PECVD法で形成されたシリコン窒化膜およびシリコン酸化膜を設ける。つまり、シリコン窒化膜11およびシリコン酸化膜12と、シリコン酸化膜13およびシリコン窒化膜14との内、いずれか一方のみを設ける。

【0057】(4) 多結晶シリコン膜53の片面にのみ、PECVD法で形成されたシリコン窒化膜またはシリコン酸化膜の一方のみを設ける。つまり、各膜11~14のいずれか1つのみを設ける。上記の(1)~

(4)のようにした場合には、上記各実施形態に比べて、多結晶シリコン膜53に拡散される水素量が減少するものの、上記各実施形態とほぼ同等の作用・効果を得ることができる。

【0058】(5) 上記各実施形態では、水素含有膜としてPECVD法で形成されたシリコン酸化膜12、13およびシリコン窒化膜11、14を用いたが、各膜11~14を水素吸蔵合金から成る膜に置き換えてもよい。図10に示すように、PECVD法で形成されたシリコン酸化膜およびシリコン窒化膜に比べて、水素吸蔵合金から成る膜は放出水素量が多いため、上記各実施形態の効果をより一層高めることができる。尚、各膜11~14を水素吸蔵合金膜に置き換えた場合、水素吸蔵合金膜は多結晶シリコンTFTの能動層(活性層)となる多結晶シリコン膜53には直接接しないようにすることが望ましい。

【図面の簡単な説明】

【図1】本発明を具体化した第1実施形態の多結晶シリコン膜の製造方法を説明するための概略断面図。

【図2】第1実施形態の作用を説明するための特性図。

【図3】第1実施形態の作用を説明するための特性図。

【図4】第1実施形態の作用を説明するための特性図。

【図5】本発明を具体化した第2実施形態のトップゲート型多結晶シリコンTFTの製造方法を説明するための概略断面図。

【図6】本発明を具体化した第3実施形態のボトムゲート型多結晶シリコンTFTの製造方法を説明するための概略断面図。

【図7】第3実施形態のボトムゲート型多結晶シリコン

TFTの製造方法を説明するための概略断面図。

【図8】従来の形態の多結晶シリコン膜の製造方法を説明するための概略断面図。

【図9】従来の形態のトップゲート型多結晶シリコンTFTの製造方法を説明するための概略断面図。

【図10】本発明を具体化した別の実施形態の作用を説明するための特性図。

【符号の説明】

11, 14…シリコン窒化膜

12, 13…シリコン酸化膜

15…トップゲート型多結晶シリコンTFT

21, 55…ゲート絶縁膜

23…ボトムゲート型多結晶シリコンTFT

51…絶縁基板

53…多結晶シリコン膜

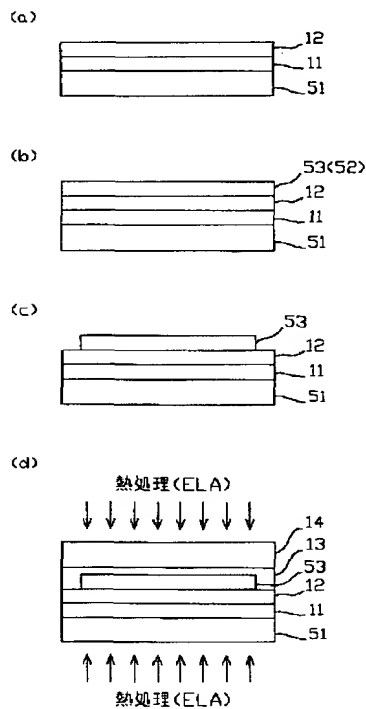
58…ゲート電極

59…ソース・ドレイン領域

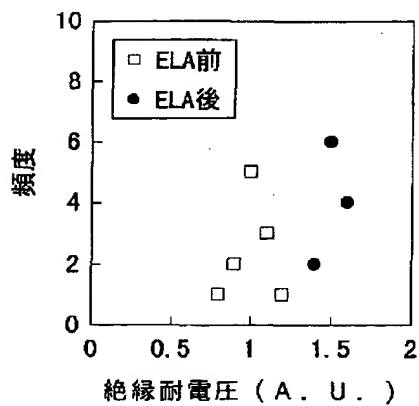
60…チャネル領域

62…層間絶縁膜

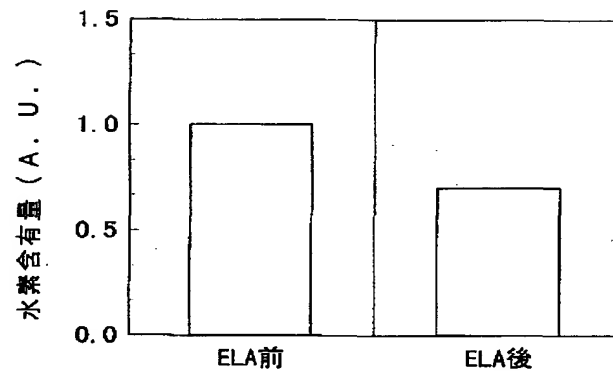
【図1】



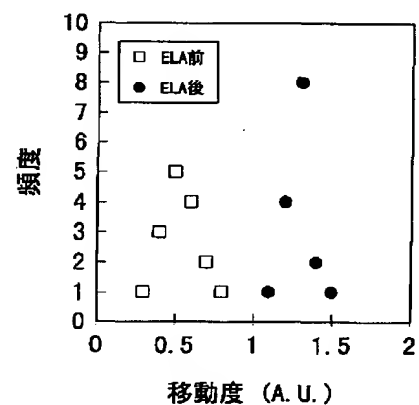
【図3】



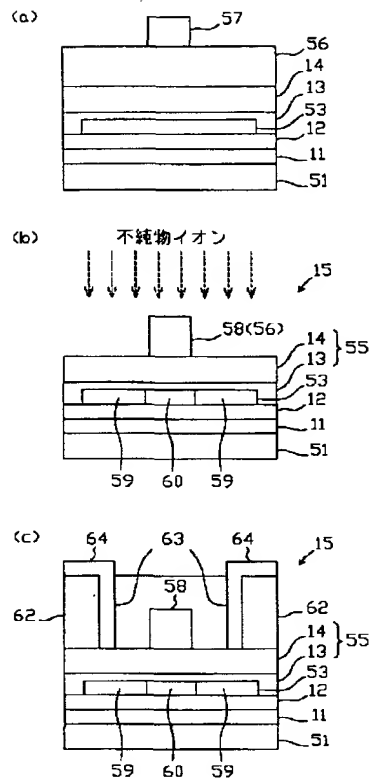
【図2】



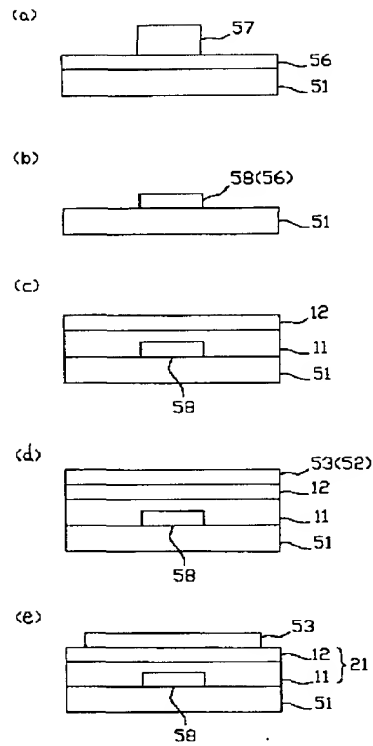
【図4】



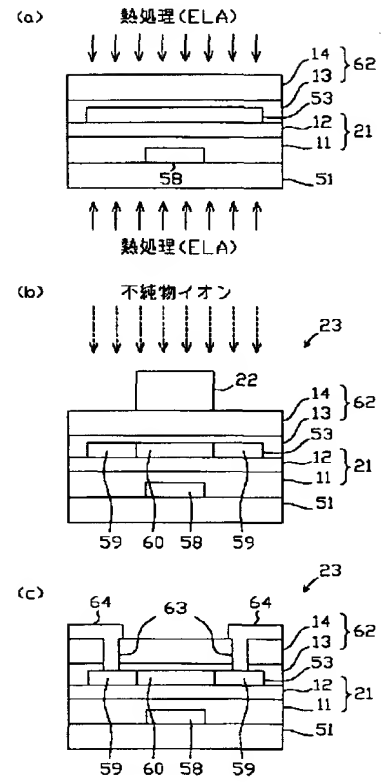
【図5】



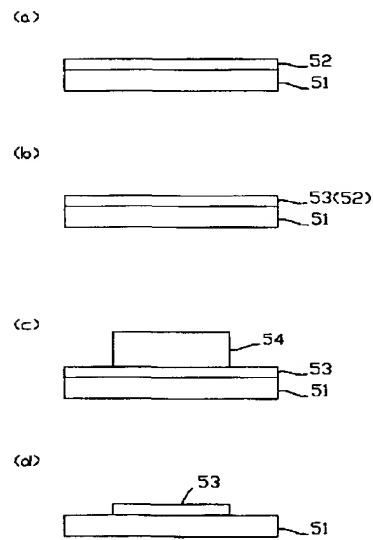
【図6】



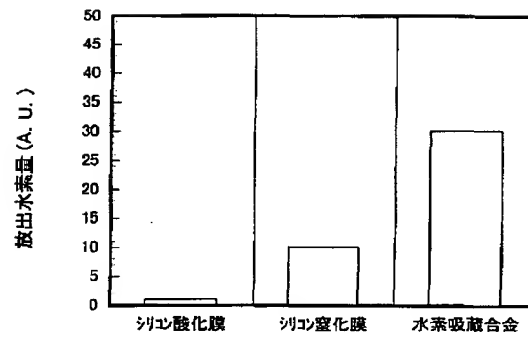
【図7】



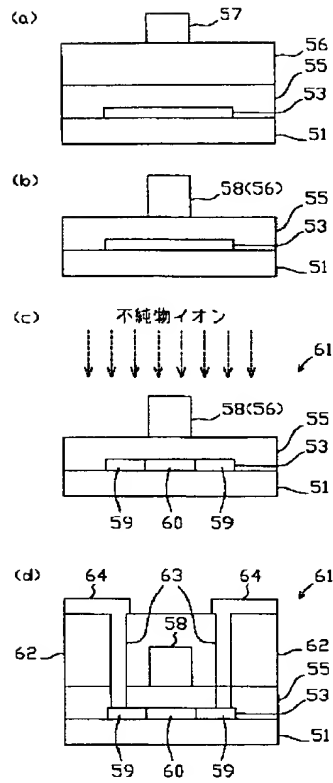
【図8】



【図10】



【図 9】



フロントページの続き

(51) Int. Cl.⁷
H 0 1 L 21/336

識別記号

F I
H 0 1 L 29/78

テーマコード (参考)
6 2 7 E

F ターム (参考) 5F110 AA01 AA16 BB02 BB07 CC02
CC04 DD01 DD03 DD13 DD14
DD17 DD24 EE04 EE05 EE09
EE14 EE43 EE45 FF02 FF03
FF09 FF30 FF36 FF40 GG02
GG13 GG35 GG45 GG47 HJ13
HJ23 NN72 PP01 PP02 PP03
PP08 QQ11 QQ23